

PAT-NO: JP406004650A

DOCUMENT-IDENTIFIER: JP 06004650 A

TITLE: MEMORY DEVICE

PUBN-DATE: January 14, 1994

INVENTOR-INFORMATION:

NAME

MAEDA, TOSHIHARU

ASSIGNEE-INFORMATION:

NAME

SONY CORP

COUNTRY

N/A

APPL-NO: JP04184448

APPL-DATE: June 17, 1992

INT-CL (IPC): G06F015/64

ABSTRACT:

PURPOSE: To attain free access to each memory core housed in a single chip by permitting a bus selector arranged between plural memory cores to switch the connection of the writing data bus and the reading data bus of each memory core.

CONSTITUTION: Two memory cores 1 and 2 are respectively connected with writing SAM (serial access memories) 3, 4 and reading SAM 5, 6. These SAM 3 to 6 are connected with (n)-number of data buses transmitting data. The bus selector 7 arranged between the memory cores 1 and 2 switches the writing data bus and the reading data bus of each memory core to enable free access to each memory core. Consequently, an examination can be executed by an individual memory core unit and various kind of ways to use are attain such as serially connecting each memory core, replacing storage contents each other, independently using each memory core, simultaneously writing the same pieces of data in plural memory cores, etc.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-4650

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl.⁵

G 0 6 F 15/64

識別記号

4 5 0 E 9073-5L

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-184448

(22)出願日 平成4年(1992)6月17日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 前田 俊治

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

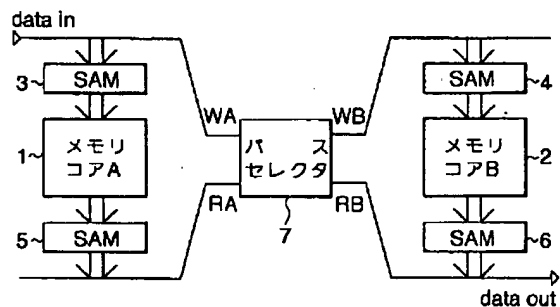
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 メモリ装置

(57)【要約】

【目的】 1チップ内に収められた各メモリコアへの自由なアクセスを可能としたメモリ装置を提供する。

【構成】 各1フィールド分の2個のメモリコア1, 2を1チップ内に収めるとともに、これらメモリコア1, 2間に配されたバスセクタ7によって各メモリコア1, 2の書き込み用データバスWA, WB及び読出し用データバスRA, RBの接続を切り換えて各メモリコア1, 2へ自由にアクセスできるようにする。



本発明の一実施例のブロック図

【特許請求の範囲】

【請求項1】 1チップ内に収められた各1フィールド分の複数個のメモリコアと、
前記複数個のメモリコア間に配されて各メモリコアの書き込み用データバス及び読出し用データバスの接続を切り換えるセレクトアとを備えたことを特徴とするメモリ装置。

【請求項2】 1段目のメモリコアの読出し用データバスを、2段目以降のメモリコアのデータ書き込み用バスとして用いたことを特徴とする請求項1記載のメモリ装置。

【請求項3】 最終段のメモリコアの書き込み用データバスを、それ以前のメモリコアのデータ読出し用バスとして用いたことを特徴とする請求項1記載のメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、メモリ装置に関し、特にTVやVTRなどの画像処理用のビデオメモリとして用いて好適なメモリ装置に関する。

【0002】

【従来の技術】TVやVTRなどの画像処理において、1フィールド遅延や1フレーム遅延などの信号処理を行うのに、一般的にビデオメモリが用いられる。従来、この種のビデオメモリとしては、図8(a)に示すように、1フィールド分のメモリが1チップに収められたものを2チップ分用いた構成のものや、図8(b)に示すように、単純に1フィールド分のメモリを2個1チップに収めた構成のものが用いられていた。

【0003】

【発明が解決しようとする課題】しかしながら、前者のビデオメモリにおいては、メモリコアAからメモリコアBへデータの転送を行うことから、メモリコアAに出力バッファ81が必要となるため、消費電力やノイズの点で好ましくない。また、チップ数が多いと、全体のコストも高くなってしまう。

【0004】一方、後者のビデオメモリにあっては、メモリコアAに対して出力バッファが不要となり、消費電力や耐ノイズ性の問題が改善されるものの、各メモリコアの試験において、メモリコア個々にアクセスすることができないため、メモリコアAあるいはBを単独で試験することはできない。通常、メモリコアにDRAMを用いた場合には、何ビット分かを多めに作っておき(冗長ビット)、不良ビットと交換することが行われる。したがって、A、Bどちらのメモリコアで不良が起きているかわからないと、冗長救済の効率が悪化することになる。

【0005】本発明は、上述した点に鑑みてなされたものであり、1チップ内に収められた各メモリコアへの自由なアクセスを可能としたメモリ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明によるメモリ装置は、1チップ内に収められた各1フィールド分の複数個のメモリコアと、この複数個のメモリコア間に配されて各メモリコアの書き込み用データバス及び読出し用データバスの接続を切り換えるセレクトアとを備えた構成となっている。

【0007】

【作用】メモリコア間に配されたセレクトアによって各メモリコアの書き込み用データバス及び読出し用データバスの接続を切り換えることで、各メモリコアへ自由にアクセスできる。これにより、メモリコア単位で試験ができるとともに、各メモリコアをシリアルに接続したり、記憶内容を相互に入れ換えたり、独立に使用したり、同じデータを複数のメモリコアに同時に書き込むなど、種々の使い方ができる。

【0008】

【実施例】以下、本発明の実施例を図面に基づいて詳細に説明する。図1は、本発明の一実施例を示すブロック図である。本実施例では、1チップ内に各1フィールド分の例えば2個のメモリコアが収められた場合を示す。図1において、2個のメモリコア1、2には、書き込み用SAM(serial access memory)3、4及び読出し用SAM5、6がそれぞれ接続されている。これらSAM3～6には、データの伝送を行うn本のデータバスが接続されている。ここで、メモリコア(A)1の書き込み用データバスをWA、読出し用アドレスをRAとする。同様に、メモリコア(B)2の書き込み用データバスをWB、読出し用アドレスをRBとする。

【0009】SAM3～6は、例えば、データの書き込みの際にデータの読出しが行われていてもデータを連続して入出力できるように、図2(a)、(b)に示す如く内部がダブルバッファ構成となっており、連続して送られてくるデータを、ある任意のビット数毎にまとめてメモリコア1、2に転送する。2個のメモリコア1、2間にはバスセレクトア7が配されており、このバスセレクトア7によってメモリコア1の書き込み用データバスWA、読出し用アドレスRA及びメモリコア2の書き込み用データバスWB、読出し用アドレスRBの接続が切り換えられる。

【0010】SAM5と読出し用データバスRAのn本のラインの間には、図3に示すように、SAM5のビット数mに対応したm個のスイッチ8が接続されている。これらスイッチ8は、(m/n)個のD型フリップフロップからなるポインタ9によってスイッチ10を介してn個ずつスイッチング制御されるポインタ形式となっている。他のSAM3、4、6とデータバスWA、WB、RBとの間も、全く同様の構成となっている。この構成において、スイッチ10にポインタオフ信号を印加してポインタを与えないようにすれば、データバスからSA

Mを切り離すことができる。

【0011】メモリコア1とSAM5との間は、直結であつても良いし、あるいは、図4に示すように、セクタ11を用いて多数のビット線を間引いて接続するようにしても良い。この構成において、メモリセル群とビット線群の選択を、外部からアドレスを与えることによって行えば、SAMのビット数を単位としてランダムアクセスが可能となる。

【0012】次に、バスセクタ7の働きについて、図5の各種の接続例を参照しつつ説明する。なお、図6

10 に、バスセクタ7の具体的な構成の一例を示す。先ず、第1の接続例(a)では、メモリコア1の読出し用データバスRAとメモリコア2の書込み用データバスWBとを結線し、メモリコア1の書込み用データバスWAとメモリコア2の読出し用データバスRBは切り離す。

【0013】この接続例(a)の場合、入力されたデータは書込み用データバスWAを経てSAM3に書き込まれ、ある決まったビット数だけSAM3に溜まったところでメモリコア1に転送される。SAMは、図2に示した如くダブルバッファ構成となっているので、バッファ

20 がオーバーフローしない限り、書込み用データバスWAから送られるデータを連続して受け取ることができる。

【0014】続いて、メモリコア1からSAM5へ、ある決まったビット数を一塊とした転送が行われる。このデータは読出し用データバスRAへ読み出され、バスセクタ7を通して書込み用データバスWBに送られ、SAM4に書き込まれる。このとき、読出し用データバスRAと書込み用データバスWAは互いに独立しているので、非同期に動作させることができる。SAM4のデータは、メモリコア2にある塊ごとに転送される。さら

30 に、メモリコア2からSAM6にデータが転送され、このデータは読出し用データバスRBを通して外部へ出力される。

【0015】この接続例(a)によれば、入力されたデータがメモリコア1及びメモリコア2を通して外部へ出力されるため、2フィールド分のデータの遅延が行われることになる。また、各SAMの書込み及び読出しクロックは任意に選べるので、非同期の動作が可能である。

【0016】第2の接続例(b)では、メモリコア1の書込み用データバスWAとメモリコア2の読出し用データバスRBとを結線し、メモリコア1の読出し用データバスRAとメモリコア2の書込み用データバスWBとを結線する。この接続例(b)によれば、メモリコア1に蓄えられたデータの内容とメモリコア2に蓄えられたデータの内容とを入れ換えることができる。ただし、この場合、書込みと読出しのデータの追越し、あるいはSAMとメモリコアの転送時間などを考慮してアドレスを指定する必要がある。

【0017】第3の接続例(c)では、メモリコア1、2の各読出し用データバスRA、RBを相互に結線し、

各書込み用データバスWA、WBを切り離す。この接続例(c)によれば、メモリコア1あるいは2に蓄えられたデータを直接読み出すことができる。たとえば、メモリコア1のデータを読み出す場合は、SAM6のポインタオフ信号(図3を参照)を使ってポインタがどこも指さないようにして、読出し用データバスRBとSAM6を切り離せば良い。また、同様に、1フィールド分のデータを読み出してから切り換えるだけでなく、SAMのポインタで一度に指定できるビット数を単位として、メモリコア1、2の内容を切り換えて読み出すことも可能である。

【0018】第4の接続例(d)では、メモリコア1、2の各書込み用データバスWA、WBを相互に結線し、各読出し用データバスRA、RBを切り離す。この接続例(d)によれば、メモリコア1、2のどちらか一方にデータを書き込んだり、あるいは両方に同じデータを書き込むことができる。どちらか一方のメモリコアにだけデータを書き込むときは、書き込まない方のSAMのポインタをとめて、SAM3又は4を書込み用データバスWA又はWBから切り離す必要がある。

【0019】第5の接続例(e)では、メモリコア2の書込み用データバスWBと読出し用データバスRBを結線する。この接続例(e)によれば、同じメモリコア2に同じデータを繰り返して書き込めることになり、例えばメモリコア2の長時間の信頼性試験を手軽に行えることになる。なお、メモリコア1の書込み用データバスWAの入力側を切り離すようにしておけば、メモリコア1の書込み用データバスWAと読出し用データバスRAを結線することで、メモリコア1に対しても同様の動作が可能となる。

30 【0020】第6の接続例(f)では、メモリコア1の書込み用データバスWAとメモリコア2の読出し用データバスRBとを結線し、メモリコア1の読出し用データバスRAとメモリコア2の書込み用データバスWBは切り離す。この接続例(f)によれば、メモリコア1、2を介さずにデータの入出力が行われることになるため、デバイスに何らかの不良が生じた際に、メモリコア1、2が悪いのか、周辺回路が悪いのかの分離判別を行えることになる。

40 【0021】なお、上記実施例においては、2個のメモリコア1、2間において各書込み用データバス及び読出し用データバスの接続をバスセクタ7によって切り換えるとしたが、メモリコアの個数は2個に限定されるものではなく、3個以上であっても各メモリコア間にバスセクタを配することで適用可能である。すなわち、図7に示すように、例えば3個のメモリコアA、B、Cに対して2個のバスセクタを配するとともに、1段目のメモリコアAの読出し用データバスRAを、2段目以降のメモリコアB、Cのデータ書込み用バスとして用い、また3段目(最終段)のメモリコアCの書込み用データ

5

バスWCを、それ以前のメモリコアA、Bのデータ読出し用バスとして用いることにより、任意のメモリコアに対してデータを書き込んだり、任意のメモリコアのデータを読み出したりすることが可能となる。

【0022】

【発明の効果】以上説明したように、本発明によれば、各1フィールド分の複数のメモリコアを1チップ内に収めるとともに、複数のメモリコア間に配されたセクタによって各メモリコアの書き込み用データバス及び読出し用データバスの接続を切り換えるようにしたことにより、各メモリコアへ自由にアクセスできるため、コア単位で試験ができるとともに、各メモリコアをシリアルに接続したり、記憶内容を相互に入れ換えたり、独立に使用したり、同じデータを複数のメモリコアに同時に書き込むなど、種々の使い方ができることになる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】SAMの具体的な構成例を示すブロック図である。

6

【図3】SAMとデータバス間の接続の構成を示す回路図である。

【図4】メモリコアとSAM間の接続の構成を示すブロック図である。

【図5】バスセクタの各種の接続図である。

【図6】バスセクタの具体的な構成の一例を示す回路図である。

【図7】本発明の他の実施例を示すブロック図である。

【図8】従来例を示すブロック図である。

【符号の説明】

1, 2 メモリコア

3, 4 書き込み用SAM

5, 6 読出し用SAM

7 バスセクタ

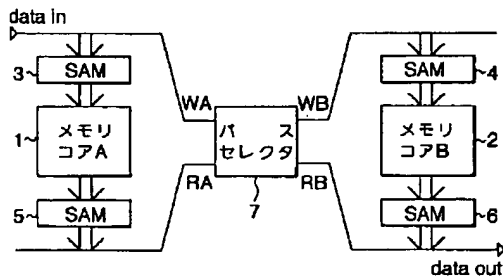
WA メモリコアAの書き込み用データバス

RA メモリコアAの読出し用データバス

WB メモリコアBの書き込み用データバス

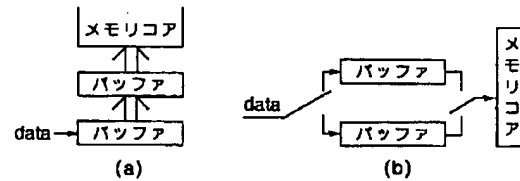
RB メモリコアBの読出し用データバス

【図1】



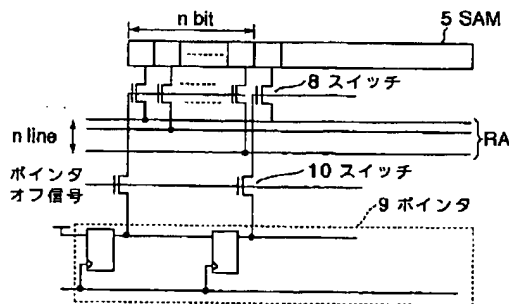
本発明の一実施例のブロック図

【図2】



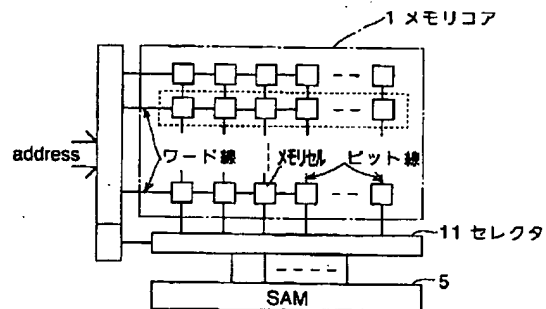
SAMの構成図

【図3】



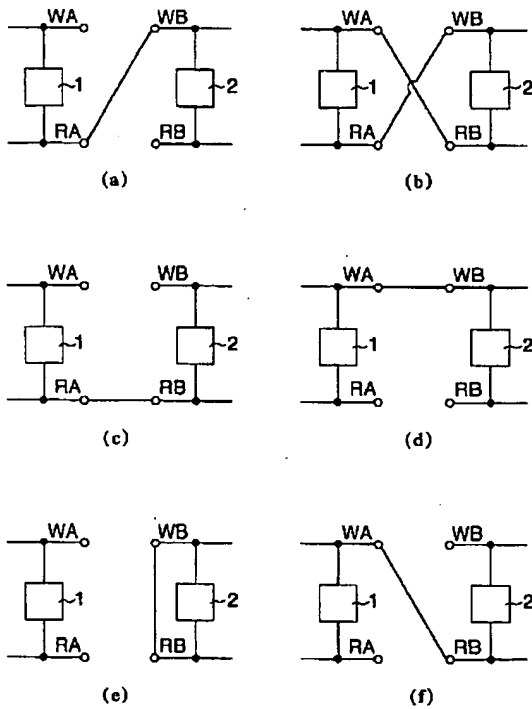
SAMとデータバス間の接続の構成図

【図4】



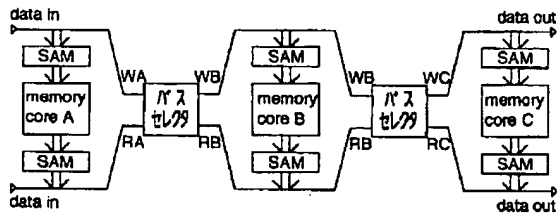
メモリコアとSAM間の接続の構成図

【図5】



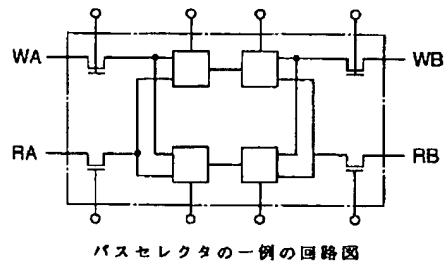
バスセレクタの各種の接続図

【図7】

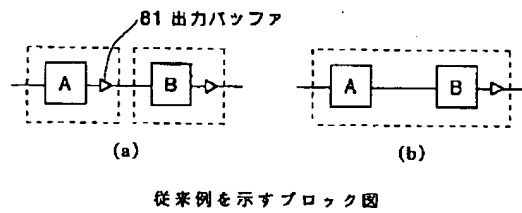


本発明の他の実施例のブロック図

【図6】



【図8】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] About a memory apparatus, especially, this invention is used as video memory for image processings, such as TV and VTR, and relates to a suitable memory apparatus.

[0002]

[Description of the Prior Art] In image processings, such as TV and VTR, although signal processing, such as 1 field delay and one-frame delay, is performed, generally video memory is used. Conventionally, as this kind of video memory, as shown in drawing 8 (a), the thing of the configuration using that by which the memory for the 1 field was stored in one chip, and the thing of a configuration of having stored the memory for the 1 field in two-piece one chip simply, as shown in drawing 8 (b) were used by two chips.

[0003]

[Problem(s) to be Solved by the Invention] However, in the former video memory, since a data transfer is performed from the memory core A to the memory core B and an output buffer 81 is needed for the memory core A, it is not desirable in respect of power consumption or a noise. Moreover, the whole cost will also become high if there are many chips.

[0004] On the other hand, since memory core each cannot be accessed in the trial of each memory core although an output buffer becomes unnecessary to the memory core A and the problem of power consumption or noise-proof nature is solved if it is in the latter video memory, the memory cores A and B cannot be examined independently. Usually, when DRAM is used for a memory core, it makes a part for what bit it is [more] (redundant bit), and exchanging for a defect bit is performed. therefore, A and B -- if it does not know with which memory core the defect has occurred, the effectiveness of redundancy relief will get worse.

[0005] This invention is made in view of the point mentioned above, and aims at offering the memory apparatus which enabled free access to each memory core stored in 1 chip.

[0006]

[Means for Solving the Problem] A memory apparatus by this invention has composition equipped with two or more memory cores for the one field each stored in 1 chip, and a selector which is allotted among two or more of these memory cores, and switches connection of a data bus for writing of each memory core and a data bus for read-out.

[0007]

[Function] By switching connection of the data bus for writing of each memory core and the data bus for read-out by the selector allotted between memory cores, it can access freely to each memory core. Thereby, while a trial is possible per memory core, the data same in connecting each memory core serially, replacing the contents of storage mutually, or using it independently is made by how to use versatility to two or more memory cores, such as writing in coincidence.

[0008]

[Example] Hereafter, the example of this invention is explained to details based on a drawing. Drawing

1 is the block diagram showing one example of this invention. This example shows the case where it is stored for the one field each (for example, two memory cores) in 1 chip. In drawing 1, SAM 3 and 4 for writing (serial access memory) and SAM 5 and 6 for read-out are connected to two memory cores 1 and 2, respectively. n data buses which transmit data are connected to these SAM 3-6. Here, WA and the address for read-out are set to RA for the data bus for writing of the memory core (A) 1. Similarly, WB and the address for read-out are set to RB for the data bus for writing of the memory core (B) 2.

[0009] Even if read-out of data is performed in the case of the writing of data, as shown in drawing 2 (a) and (b), the interior has double buffer composition, and SAM 3-6 gathers the data sent continuously for every number of bits of a certain arbitration, and transmits it to the memory cores 1 and 2 so that data can be outputted and inputted continuously. The bus selector 7 is allotted between two memory cores 1 and 2, and connection of the data bus WB for writing of the data bus WA for writing of the memory core 1, the address RA for read-out, and the memory core 2 and the address RB for read-out is switched by this bus selector 7.

[0010] Among n Rhine of SAM5 and the data bus RA for read-out, as shown in drawing 3, m switches 8 corresponding to number-of-bits m of SAM5 are connected. These switches 8 serve as pointer format by which switching control is carried out n pieces at a time through a switch 10 with the pointer 9 which consists of a D type flip-flop of an individual (m/n). Between other SAM 3, 4, and 6 and data buses WA, WB, and RB completely has same composition. In this configuration, if a pointer-off signal is impressed to a switch 10 and it is made not to give a pointer, SAM is separable from a data bus.

[0011] Between the memory core 1 and SAM5, many bit lines are thinned out using a selector 11, and you may make it connect them, as you may be direct connection or it is shown in drawing 4. In this configuration, if selection of a memory cell group and a bit line group is performed by giving the address from the exterior, random access will become possible by making the number of bits of SAM into an unit.

[0012] Next, it explains, referring to various kinds of examples of connection of drawing 5 about work of the bus selector 7. In addition, an example of the concrete configuration of the bus selector 7 is shown in drawing 6.

First, in the 1st example of connection (a), the data bus RA for read-out of the memory core 1 and the data bus WB for writing of the memory core 2 are connected, and the data bus WA for writing of the memory core 1 and the data bus RB for read-out of the memory core 2 are separated.

[0013] In the case of this example of connection (a), the inputted data is written in SAM3 through the data bus WA for writing, and is transmitted to the memory core 1 in the place where only a certain regular number of bits collected on SAM3. SAM can receive continuously the data sent from the data bus WA for writing, unless a buffer overflows, since it has double buffer composition as shown in drawing 2.

[0014] Then, the transfer which made the lump a certain regular number of bits is performed from the memory core 1 to SAM5. Reading appearance of this data is carried out to the data bus RA for read-out, it is sent to the data bus WB for writing through the bus selector 7, and is written in SAM4. Since it is carrying out mutually-independent [of the data bus RA for read-out, and the data bus WA for writing] at this time, it can operate asynchronous. The data of SAM4 is transmitted for every lump in the memory core 2. Furthermore, data is transmitted to SAM6 from the memory core 2, and this data is outputted to the exterior through the data bus RB for read-out.

[0015] Since the inputted data is outputted to the exterior through the memory core 1 and the memory core 2 according to this example of connection (a), delay of the data for the 2 field will be performed. Moreover, since the writing and read-out clock of each SAM can be chosen as arbitration, asynchronous actuation is possible.

[0016] In the 2nd example of connection (b), the data bus WA for writing of the memory core 1 and the data bus RB for read-out of the memory core 2 are connected, and the data bus RA for read-out of the memory core 1 and the data bus WB for writing of the memory core 2 are connected. According to this example of connection (b), the contents of the data stored in the memory core 1 and the contents of the data stored in the memory core 2 can be replaced. However, it is necessary to specify the address in this case in consideration of passing of the data of writing and read-out, or the transfer time of SAM and a

memory core.

[0017] In the 3rd example of connection (c), each data buses RA and RB for read-out of the memory cores 1 and 2 are connected mutually, and each data buses WA and WB for writing are separated. According to this example of connection (c), the data stored in the memory core 1 or 2 can be read directly. For example, when reading the data of the memory core 1, as a pointer does not point out where, it should just separate the data buses RB and SAM6 for read-out using the pointer-off signal (see drawing 3) of SAM6. Moreover, similarly, after reading the data for the 1 field, it is possible it not only to switch, but to switch and read the contents of the memory cores 1 and 2 by making into an unit the number of bits which can be specified at once with the pointer of SAM.

[0018] In the 4th example of connection (d), each data buses WA and WB for writing of the memory cores 1 and 2 are connected mutually, and each data buses RA and RB for read-out are separated. According to this example of connection (d), the same data as writing data in one of the memory cores 1 and 2 **** or both can be written in. When writing data only in one of memory cores, it is necessary to stop the pointer of SAM of the direction which is not written in and to separate SAM3 or 4 from the data bus WA for writing, or WB.

[0019] In the 5th example of connection (e), the data bus WB for writing and the data bus RB for read-out of the memory core 2 are connected. According to this example of connection (e), the same data as the same memory core 2 can be repeated and written in, for example, the reliability trial of the long duration of the memory core 2 can be performed easily. In addition, if the input side of the data bus WA for writing of the memory core 1 is separated, the same actuation will be attained also to the memory core 1 by connecting the data bus WA for writing of the memory core 1, and the data bus RA for read-out.

[0020] In the 6th example of connection (f), the data bus WA for writing of the memory core 1 and the data bus RB for read-out of the memory core 2 are connected, and the data bus RA for read-out of the memory core 1 and the data bus WB for writing of the memory core 2 are separated. Since I/O of data will be performed according to this example of connection (f), without minding the memory cores 1 and 2, when a certain defect arises in a device, separation distinction of a thing with the bad memory cores 1 and 2 and a thing with a bad circumference circuit can be performed.

[0021] In addition, in the above-mentioned example, although connection of each data bus for writing and the data bus for read-out is switched by the bus selector 7 between two memory cores 1 and 2, the number of a memory core is not limited to two pieces, and even if it is three or more pieces, it is applicable [number / by allotting a bus selector] between each memory core. Namely, while allotting two bus selectors to three memory cores A, B, and C as shown in drawing 7 for example The data bus RA for read-out of the 1st step of memory core A is used as a bus for data writing of the memory cores B and C after the 2nd step. Moreover, it becomes possible by using the data bus WC for writing of the 3rd (last stage) step of memory core C as a bus for data readout of the memory cores A and B before it to write in data or to read the data of the memory core of arbitration to the memory core of arbitration.

[0022]

[Effect of the Invention] As explained above, while storing two or more memory cores for the one field each in 1 chip according to this invention Since it can access freely to each memory core by having switched connection of the data bus for writing of each memory core and the data bus for read-out by the selector allotted among two or more memory cores, While a trial is possible per core, the data same in connecting each memory core serially, replacing the contents of storage mutually, or using it independently will be made by how to use versatility, such as writing in coincidence, to two or more memory cores.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing one example of this invention.

[Drawing 2] It is the block diagram showing the concrete example of a configuration of SAM.

[Drawing 3] It is the circuit diagram showing the configuration of connection between SAM and a data bus.

[Drawing 4] It is the block diagram showing the configuration of connection between a memory core and SAM.

[Drawing 5] They are various kinds of connection diagrams of a bus selector.

[Drawing 6] It is the circuit diagram showing an example of the concrete configuration of a bus selector.

[Drawing 7] It is the block diagram showing other examples of this invention.

[Drawing 8] It is the block diagram showing the conventional example.

[Description of Notations]

1 Two Memory core

3 Four SAM for writing

5 Six SAM for read-out

7 Bus Selector

WA Data bus for writing of the memory core A

RA Data bus for read-out of the memory core A

WB Data bus for writing of the memory core B

RB Data bus for read-out of the memory core B

[Translation done.]